



Curso 2011-2012

CENTROS

Planes Estudio

PLANES

ASIGNATURAS

v. 2.11

Arquitectura de computadores CÓDIGO:11957Ingeniero de Telecomunicación (en extinción)
Escuela de Ingeniería y Arquitectura, Zaragoza**Departamentos:**
Informática e Ingeniería de Sistemas**Áreas:**
Arquitectura y Tecnología de Computadores**Curso:** 4
Duración: 2º cuatrimestre
Carácter: Troncal
Tipo: Teórica Práctica
Idioma: Español**Horas teóricas:** 2,5
Horas prácticas: 10
Créditos UZ: 4,5
Créditos ECTS: 3,7Oferta de plazas de libre elección:
Propia Titulación:
Otras Titulaciones: S/L
y/u:
Otros Centros: No
Nº Plazas optativas:**Objetivos y Programa**

Profesores y Bibliografía

Horario / Observaciones

Objetivos

Principios cualitativos y cuantitativos del diseño del repertorio de instrucciones de un procesador convencional. Técnicas básicas para acelerar el rendimiento de un procesador: implementación segmentada y jerarquía de memoria (Cache y TLB).

Programa

1. Introducción. Medidas de prestaciones de un computador.
 - MIPS, MFLOPS. Benchmarking.
 - Speedup, Ley de Amdhal
2. Diseño de memorias cache.
3. Realización segmentada de procesadores.
 - Dependencias y Riesgos. Soluciones hardware y software.
 - Instrucciones multiciclo.
 - Ejecución en desorden
4. Alternativas y principios de diseño del repertorio de instrucciones.
 - Clasificación de máquinas
 - Ejemplos CISC y RISC: IA-32 (Pentium III) y SPARC
 - Otros ejemplos: DSP (TMS320C6x), EPIC (IA64)
5. Influencia del compilador

PROGRAMA DE PRÁCTICAS:

-Práctica 1: Memorias Caché.

Construir un simulador para estudiar el comportamiento de memorias cache (Mc) en cuanto a tasas de aciertos (o fallos) y número de bytes transferidos desde y hacia memoria principal. (Mp).

-Práctica 2: Memorias Cache:

Utilización de un simulador completo de memorias cache para evaluar opciones de diseño de Mc dentro del chip. Desarrollo de fórmulas para los costes temporales de oas opciones. Introducción de los datos de simulación rn las fórmulas para la comparación.

-Práctica 3: Procesador Segmentado.

Construir un simulador para estudiar el comportamiento de un procesador segmentado. Análisis de cortocircuitos, bloqueos en el pipeline, saltos retardados, y cálculo de CPI.

-Práctica 4: Medida de prestaciones.

Determinar las prestaciones de una máquina RISC (SPARC) y de una máquina CSIC (IA-32) ejecutando un programa de prueba intensivo en cálculo en punto flotante. También se medirá la influencia del compilador. Los índices escogidos van desde medidas independientes de la arquitectura (MFLOPS, p/e) hasta índices muy dependientes de la arquitectura/implementación (CPI)

Evaluación

Control de ejercicios de clase, examen de la asignatura y control de prácticas.