#### Curso 2011-2012

#### **CENTROS**



Planes Estudio

**PLANES** 

**ASIGNATURAS** 

v. 2.11

# Diseño de arquitecturas código: 12037

Ingeniero en Informática (en extinción) Escuela de Ingeniería y Arquitectura, Zaragoza

#### Departamentos:

Informática e Ingeniería de Sistemas

Arquitectura y Tecnología de Computadores

Oferta de plazas de libre elección: Propia Titulación: Otras Titulaciones: S/L

y/u:

Otros Centros: No Nº Plazas optativas:

## Objetivos y Programa

Duración: 2º cuatrimestre

Carácter: Troncal

Idioma: Español

Tipo: Teórica Práctica

Profesores y Bibliografía

Horas teóricas: 3,5

Horas prácticas: 10

Créditos ECTS: 5,1

Créditos UZ: 6

Horario / Observaciones

#### **Objetivos**

Curso: 3

Principios cualitativos y cuantitativos del diseño del repertorio de instrucciones de un procesador convencional. Jerarquías de Memoria

Estudio de la segmentación (pipelining), técnica básica para aumentar el rendimiento de un uniprocesador. Estudio del compilador y sus técnicas de optimización.

### Programa

1. Introducción. Medidas de prestaciones de un computador.

Evolución histórica de la Arquitectura y la Organización de Computadores Medidas de prestaciones del procesador: MIPS, MFLOPS, Benchmarkimg Speedup, Ley de Amdhal.

2. Diseño de memorias caché.

Alternativas de diseño.

Medidas de prestaciones

3. Realización segmentada de procesadores.

Dependencias y riesgos. Soluciones hardware y software.

Instrucciones multiciclo.

Modelos de ejecución en desorden: Scoreboard y Tomasulo.

4. Alternativas y principios de diseño del repertorio de instrucciones.

Clasificación de máquinas Ejemplos CSIS y RISC: IS-32 (Pentium III) y SPARC. Otros ejemplos: DSP (TMS320C6x), EPIC (IA64).

5. Influencia del compilador

Fases de compilación

Niveles de optimización y métodos básicos.

## PROGRAMA DE PRACTICAS:

-Práctica 1: Memorias Caché.

Construir un simulador para estudiar el comportamiento de memorias cache (Mc) en cuanto a tasas de aciertos (o fallos) y número de bytes transferidos desde y hacia memoria principal. (Mp)

## -Práctica 2: Memorias Cache:

Utilización de un simulador completo de memorias cache para evaluar opciones de diseño de Mc dentro del chip. Desarrollo de fórmulas para los costes temporales de oas opciones. Introducción de los datos de simulación rn las fórmulas para la comparación.

# -Práctica 3: Procesador Segmentado.

Construir un simulador para estudiar el comportamiento de un procesador segmentado. Análisis de cortocircuitos, bloqueos en el pipeline, saltos retardados, y cálculo de CPI.

## -Práctica 4: Medida de prestaciones.

Determinar las prestaciones de una máquina RISC (SPARC) y de una máquina CSIC (IA-32) ejecutando un programa de prueba intensivo en cálculo en punto flotante. También se medirá la influencia del compilador. Los índices escogidos van desde medidas independientes de la arqitectura (MFLOPS, p/e) hasta índices muy dependientes de la arquitectura/implementación (CPI)

## Evaluación

Examen de la asignatura. Control de Prácticas. Controles de muestra durante las sesiones teóricas en aula.

23/01/2012 12:27

1 de 1